

实时钟 DS12887 与 DSP 的接口设计

杨赛君 哈尔滨理工大学应用科学学院(150080)

尹叶丹 武汉理工大学自动化学院 (430070)

Abstract

This paper discussed the interface of parallel real time clock DS12887 and DSP, and proposed an interface method of bus timing simulation. The design of interface of DSP and DS12887 is provided. This method can extensively apply to the interface design of other MCU's external devices and DSP.

Keywords: real time clock DS12887, DSP, timing simulation, Interface circuit

摘要

讨论了并行实时钟 DS12887 与 DSP 之间的接口。介绍了 DSP 通过时序模拟的方法实现对实时钟芯片 DS12887 的读写访问,并给出了它们的接口设计方法。该方法可广泛应用于其他单片机外围器件与 DSP 的接口设计。

关键词: 实时钟 DS12887, DSP, 时序模拟, 接口电路

实时钟是电子控制和通讯设备中常用的器件。前美国 DALLAS 公司推出的实时钟芯片 DS12887 外围电路简单,除具有精确时钟外还带有 114 字节掉电不易失的通用 RAM。8 位地址数据总线分时复用的 DS12887 与同样外部总线结构的 MCU 接口的确容易。但越来越多的用户开始倾向于使用高速的 16/32 位 DSP,而 DSP 的外部地址与数据总线通常是分离的。8 位高性能外围器件如实时钟 DS12887、CAN 控制器 SJA1000 等在以高速 DSP 为核心的系统中的应用成为困扰许多工程师的一个难题。下文将以 DSP 中比较流行的 TMS320LF2407 为例,分析 DS12887 与 DSP 的读写时序,并给出它们之间的接口设计方法。

1 DS12887 的特点、接口信号与时序分析

DS12887 是一种高性能的时钟芯片^[1],为 24 引脚 DIP 封装形式。其自带晶体振荡器和电池,在没有外部电源的情况下可工作 10 年。内建 128 字节 RAM,其中 14 字节时钟控制寄存器,114 字节通用 RAM。

DS12887 的地址/数据总线分时复用,使其与 51/96 系列单片机的接口相当容易。而也正由于这一点,其与地址数据总线分开的 DSP、ARM 等器件接口变得比较麻烦。

实时钟 DS12887 提供给微处理器的接口信号除 AD0~AD7 共 8 根地址数据总线外,还有 ALE、RD、WR、CS、MOT、RESET 和 IRQ(INT),其中 MOT 为接口方式选择信号,可选用 INTEL 方式或 MOTOROLA 方式。INTEL 方式接口时序如图 1 所示。

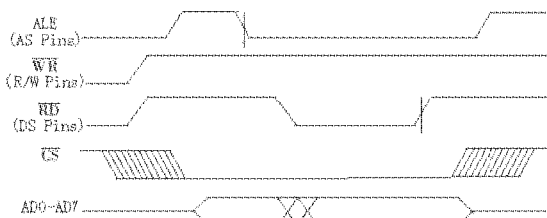


图 1 DS12887 INTEL 模式读时序

从引脚定义和时序关系可知实时钟提供了与 INTEL 方式和 MOTOROLA 方式的直接接口信号,其中 INTEL 方式为其与目前流行的 51/96 系列单片机提供了方便快捷的直接接口设计方式。本文针对 INTEL 模式进行时序分析, MOTOROLA 模式与其类似。

对图 1 DS12887 的读时序进行分析,可这样描述其工作过程。通常情况下,即非读非写周期中,ALE、RD、WR、CS 均为高电平,AD0~AD8 为三态。当读周期来临时,CS 先变低,即片选有效。接下来地址信息出现在地址数据线上 AD0~AD8 上,然后锁存信号线 ALE 变低,在 ALE 变低的时刻,该地址信息被锁存。之后读 RD 信号变低电平为有效,DS12887 内部 RAM 所对应地址上的数据会并行出现在地址数据线上。读 RD 信号变高的时候,数据被微控制器获得。最后,ALE、CS 均被恢复为高电平。

2 TMS320LF2407 的接口信号与时序分析

TMS320LF2407 DSP 因为其集成度比较高,成为目前非常流行的 DSP 器件^[2]。其数据总线为 D0~D15,地址总线为 A0~A15,数据和地址总线是分开的,这一点与 51/96 系列单片机和这里的 DS12887 不一样。

TMS320LF2407 提供了程序空间、数据空间、IO 空间三种对外设访问的接口方式,分别产生片选信号 RS、DS、IS。其中 IO 空间方式可以为慢速外设提供有效接口^[3]。其对挂载为 IO 空间的外设的访问只能通过 IN 和 OUT 指令来实现,即在执行 IN 和 OUT 指令的时候,IS 线会变为低电平。TMS320LF2407 可以通过寄存器 WSGR 设置访问慢速外设指令的等待时间,最长可为 7 个时钟周期。TMS320LF2407 IO 方式的读写时序如图 2 和图 3。

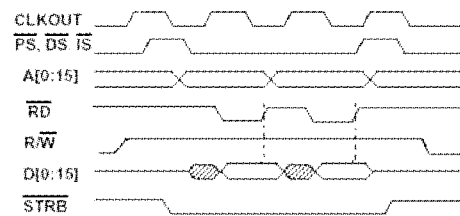


图 2 TMS320LF2407 存储器读时序

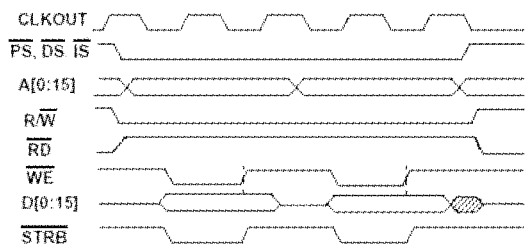


图 3 TMS320LF2407 存储器写时序

现在对 DSP 的存储器 IO 方式读时序进行分析。从时序图 2 中可以看到,当执行 IN 指令时,时钟周期的第一个上升沿时,读写控制 R/\overline{W} 变高电平,呈现读的状态。当一个时钟周期处于下降沿时, \overline{IS} 变为低呈有效电平,地址信号同时出现在 A15~A0 上。然后读信号 \overline{RD} 变为低电平有效,数据 D15~D0 随之出现。当 \overline{RD} 恢复为高时,数据被读入,一个读周期到此结束。 \overline{IS} 信号随后也将被恢复为高电平。

再对 DSP 的存储器写周期进行分析。从时序图 3 可以看到,首先, R/\overline{W} 信号呈现低电平的写状态, \overline{IS} 变低为有效状态,随后地址信息也出现在地址线 A15~A0 上。片刻之后 \overline{WE} 信号变为低电平有效,对应地址上的数据也同时出现在数据线 D15~D0 上。在写信号 \overline{WE} 恢复为高的时候,数据将会被写入,一个 DSP 的写周期到此结束。 \overline{IS} 和 R/\overline{W} 信号随后也将恢复为高电平。

由上面的分析可知,DSP 的读写时序与 DS12887 的读写时序完全不同。也只有与 DSP 的存储器读写时序相符合的器件才可以直接接到 DSP 上。

3 DS12887 与 DSP 的接口设计

上文对 DS12887 和 DSP 的时序分析直接有助于它们之间的接口设计。我们注意到在进行 DSP 的存储器读写的时候, \overline{IS} 才变为低有效。而 DSP 的信号 R/\overline{W} 直接反映了“读”和“写”这两种状态。

针对以上的分析,我们采用的接口设计方案是将 DS12887 作为 DSP 的 IO 地址上的存储器外设。利用 DSP 的 4 个通用 I/O 端口模拟产生 DS12887 的片选信号 \overline{CS} 、锁存信号 ALE、读信号 \overline{RD} 和写信号 \overline{WE} 。利用 R/\overline{W} 信号控制数据传输使能,利用信号控制数据传输方向。

由于 DSP 的工作电压为 3.3V,DS12887 为 5V,它们不能直接接口。故我们在 DSP 和 DS12887 之间加入了 LVC16245,起双向、缓冲与电平转换的作用。LVC16245 采用 3.3V 供电。在我们的设计中,LVC16245 所起的作用非常关键,接法不对将会引起外部存储器与 DSP 之间的数据冲突。

DS12887 与 DSP 的接口电路如图 4 所示。由 DSP 的 \overline{IS} 控制 LVC16245 的使能端 \overline{OE} 。即仅在访问挂载为 IO 地址存储器的时候,LVC16245 才进行输出,否则为三态高阻状态。DSP 的 R/\overline{W} 信号接 LVC16245 的方向控制端 DIR。当 R/\overline{W} 为高电平,即读状态时,数据方向从 A 到 B,即从 DS12887 到 DSP。DSP 写状态时, R/\overline{W} 为低电平,数据方向从 B 到 A,即从 DSP 到 DS12887。

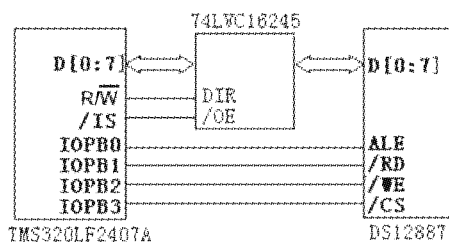


图 4 DS12887 与 DSP 的接口电路

对实时钟 DS12887 的读写访问通过汇编语言编写,执行效率比 C 语言要高。下面列出 DSP 对 DS12887 读的汇编程序。程序中 adr_12887 为实时钟 DS12887 内部 RAM 的地址,范围从 0~127,包括时钟寄存器以及通用 RAM 的地址。变量 data_12887 为读或写的数据。读 DS12887 的方法为先将目标地址作为数据送出,然后再读数据。向 DS12887 写的方法为先将目标地址作为数据送出,再将数据送出。

```

_RD_12887:    //入口参数 adr_12887,data_12887
              // 下面令 IOPB3 即/CS=0
LDP    #DP_PF2
LACL   PBDATDIR
AND    #0FFF7H
SACL   PBDATDIR
              // 下面令 IOPB0 即 ALE=1
LDP    #DP_PF2
LACL   PBDATDIR
OR     #0101H
SACL   PBDATDIR
              // 下面把目标地址 adr_12887 送出
LDP    #DP_B12
OUT    _adr_12887,7000H
              // 下面令 IOPB0 即 ALE=0
LDP    #DP_PF2
LACL   PBDATDIR
AND    #0FFFEH
SACL   PBDATDIR
              // 下面令 IOPB1 即/RD=0
LDP    #DP_PF2
LACL   PBDATDIR
AND    #0FFFDH
SACL   PBDATDIR
              // 下面/读数据到变量 data_12887
LDP    #DP_B12
IN     _data_12887,7000H
              // 下面令 IOPB1 即/RD=1
LDP    #DP_PF2
LACL   PBDATDIR
OR     #0202H
SACL   PBDATDIR
              // 下面令 IOPB3 即/CS=1
LDP    #DP_PF2
LACL   PBDATDIR
OR     #0808H
SACL   PBDATDIR
RET

```

对于采用 C 语言访问 DS12887,读者可编写带参数的 C 函数对汇编读/写函数调用,使 DSP 对 DS12887 时钟寄存器和 RAM 的读写更为方便。

4 结束语

由于目前地址数据总线分时复用的单片机仍然在广泛的使用,而 DSP、ARM 等片外地址与数据总线分离的高速器件的使用也越来越多,为与前者接口而设计的一类高性能外围器件如实时钟 DS12887、CAN 控制器 SJA1000 等在后者系统中的应用变得比较困难。本文提出的时序模拟的接口方案为这类器件在 16/32 位 DSP 系统中的应用提供了一种很好的模式和方法,具有较高的参考价值。该接口方案在笔者研制的以 DSP 为核心的电池管理系统中得到了多次应用,工作良好。

参考文献

- 1 王祖强,革敏等.并行实时钟芯片 DS12887 及其应用[J].电测与仪表,2001(6):53~54
- 2 张雄伟,曹铁勇.DSP 芯片的原理与开发应用(第 2 版)[M].北京:电子工业出版社,2000
- 3 Texas Instruments. TMS320LF/LC240Xa DSP Controllers Reference Guide,2001

[收稿日期:2004.5.12]