

# PC/104 总线与 MCU 之间的接口设计

王明顺 东北大学信息学院自动化研究所(110004)

### Abstract

First,PC/104 is introduced simply.Then,it is explained that the design method of PC/104 interface recorder circuit and schematic diagram.Last,it is showed that a successful example used in project

Keywords:PC/104,MCU,Interface

### 摘要

在简介了PC/104总线的基础上,给出了PC/104总线接口译码电路设计的具体方法和电路图,最后详述了一个在工程实践应用中已成功了的具体的应用实例。

关键词:PC/104总线,MCU,接口

PC/104总线系统是一种新型的计算机测控平台,它秉承了IBM PC开放式总线结构的优点,与IBM PC机完全兼容,在测控领域基于PC/104的智能测控系统得到了广泛应用。

由于PC/104总线系统接口通过PC/104总线来完成,而接口总线作为一种标准始终独立于各种CPU而存在。因此,我们对通道接口的研究就可以仅以总线技术为基础,无须顾及微机CPU的不断升级与改变,保证接口设计技术的稳定与资源的有效利用。

PC/104总线依据接口设计的需要可分为三类子总线,即数据总线、地址总线和控制总线,与接口设计相关的信号有地址信号、数据信号、控制信号。

## 1 接口译码设计

采用不同的器件可以构造不同的译码电路,如用组合逻辑器件(与、或、非门等)构造单一或多地址输出的译码电路、采用比较器件实现可变地址译码、采用专用译码器器件可实现多地址输出的译码及采用通用可编程阵列逻辑器件(GAL等)可实现灵活所需的译码需求等,可形成千差万别的译码电路形式,但其机理相同,能达到异曲同工之目的。

采用组合逻辑器件构成的译码电路译码地址往往固定不可变,而PC/104总线系统通常采用多接口板、多接口地址配置方式。很显然,固定地址的译码方式不利于实际中的使用。根据PC/104总线系统的具体情况,灵活地改变接口电路的地址设置是非常必要的。以比较器件或通用可编程阵列逻辑器件GAL为核心来实现灵活、可变地址的译码特别适合于PC/104总线系统接口的设计。用跳线设置“0”或“1”的给定电平与相应的地址线通过“异或门”电路处理后输出电平是采用比较器件实现可变地址译码技术的基本原理。图1中的译码电路通过改变JUMP SW的各跳线的设置可使输出接口的地址在2E0H~2E8H之间任意变化。

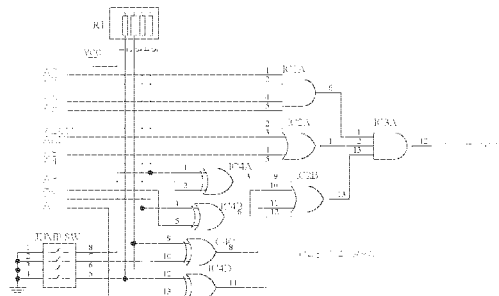


图1 用比较器件实现的可变地址译码电路

图1中74LS86(或74HC86)为二输入异或门。跳线JUMP SW与A0~A3的“异或”处理后再经四输入或非门的限定,实现了仅对二输入异或门两输入相同输入逻辑电平的选择。因此,改变JUMP SW各跳线的“0”或“1”的状态,即改变了A0~A3的有效状态值,形成不同的最终的译码地址输出。图1中译码电路输出引脚为低的工作有效条件为(X为“0”或“1”可任选):

信号线: IOW AEN A9 A8 A7 A6 A5 A4 A3 A2 A1 A0

工作时各线的逻辑电平: 0 0 1 0 1 1 1 0 X X X X

由上可见,地址线译码逻辑的高六位固定、低四位可根据使用者的需求而任意设定变化,因此,可选择连续八个地址中的任何一个地址为最终的译码输出地址。

在PC/104总线系统接口译码电路的实际设计中,往往希望扩大灵活译码的范围,因此,实际应用中多采用8位模拟比较器74LS688(或74HC688)作为比较译码芯片进行地址译码,由74LS688为主构成的用于输出接口译码电路的实例如图2所示,JUMP SW具有8个选择跳线,可变地址范围可达到 $2^8=256$ 个(00H~FFH)。由于A8、A9的电平已被固定选择(A8=“0”、A9=“1”),因此,依据JUMP SW的设置,该译码电路的译码输出地址可为200H~2FFH中的任一个。

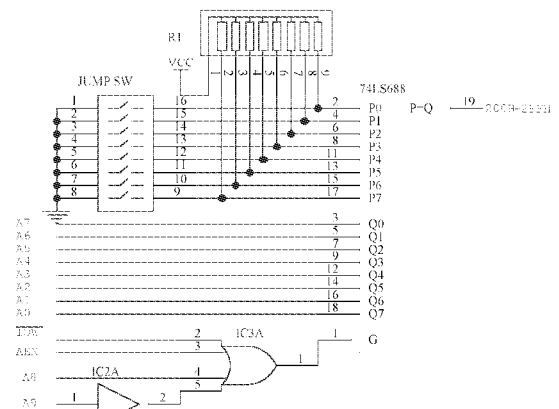


图2 用74LS688构成的地址译码电路

通用可编程阵列逻辑器件GAL(Generic Array Logic)在功能上几乎可以取代整个74系列或4000系列的器件,使用GAL器件来译码具有可减少使用器件的数量、译码电路灵活可变等特点,但市场上常见的GAL器件耗电都较大,往往不适合于对电源消耗有苛刻要求的便携式嵌入式系统的应用需要。而

在上述两个电路中如采用 74HC 系列的元件 (高速 CMOS 器件),译码电路的功率消耗将大幅下降。

### 2 接口举例

由于 MCU(微控制器或称为单片机)与 PC/104 总线在信号工作频率和接口时序等方面很难一致,因此,MCU 与 PC/104 总线的 I/O 数据接口应采用异步并行缓冲接口方式,即采用 74HC373,74HC374 等器件锁存 PC/104 总线一方数据总线的输出数据及握手信号,MCU 一方依据握手信号来进行数据的读取;而 MCU 一方的输出数据多采用通用并行口,其带有数据保持功能,因此,可用 74HC244,74HC245 等总线驱动芯片来进行 MCU 向 PC/104 总线的数据隔离与驱动,如此可实现双向的异步数据传送功能。图 3 是 MCU 与 PC/104 总线接口数据传送处理的一个实际工程应用例图。

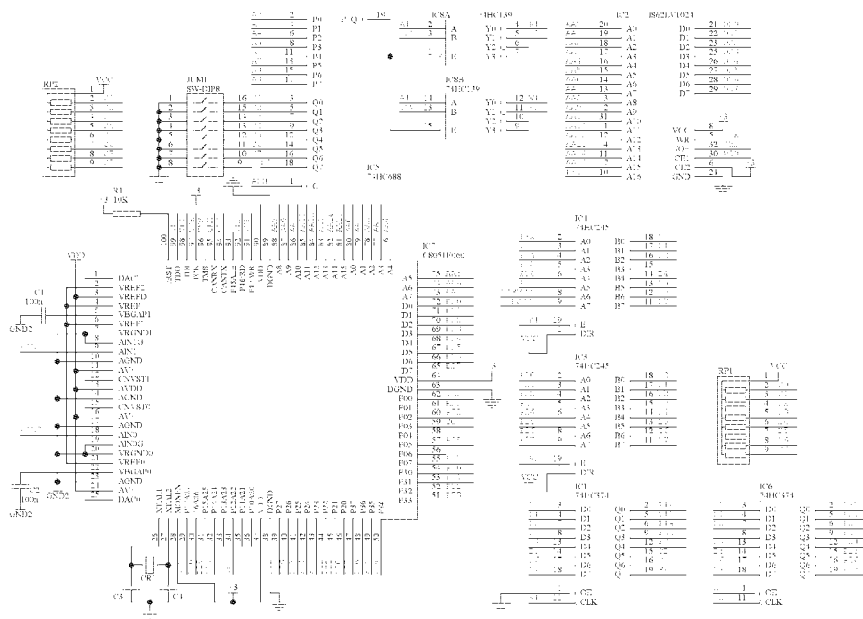


图 3 MCU 与 PC/104 总线接口处理的一个实际工程例图

在图 3 中,MCU 芯片 C8051F060 是一个由 CYGNAL 公司生产的高速 SoC 芯片,它具有 25MIPS 的峰值工作速度、外部存储器接口和 59 条数据 I/O 接口线。图 3 中 C8051F060 的外部存储器接口已接有一个 128KB 的 RAM(IS62LV1024)用于数据存储,MCU 与 PC/104 总线的数据接口在 C8051F060 一侧由通用并行接口(P0、P1、P2 和 P3 等)来完成,其通用并行口带有数据保持功能,因此,采用了 8 位总线驱动器 74HC245(IC3、IC4)来进行 MCU 指向 PC/104 总线的电平转移(C8051F060 为 3V 工作电源,PC/104 总线为 5V 工作电源)与数据驱动、而 PC/104 的数据总线不具有数据保持功能,因此,采用了具有三态输出控制功能的 8D 数据锁存器 74HC374(IC1、IC6)来进行 PC/104 总线指向 MCU 的数据传送、保持工作(C8051F060 可直接接收 5V 信号电平)。由于图中 C8051F060 的 P2 口需双向操作,因此,PC/104 总线与 MCU 的数据传送方向由来自 PC/104 总线的锁存信号 SC 来决定和指明。

图 3 中的译码电路类似于图 2,由于需要不止一个译码地址(R1、R2、W1 和 W2),在使用了 8 位模拟比较器——74HC688 作为比较译码芯片进行地址译码的基础上又增加了 74HC393(二——四译码器)进行细分地址译码。设计中为了节省芯片而放弃了地址线 A0 参与译码,因此,地址译码输出 R1/

W1 及 R2/W2 各占二个地址,如 R1/W1 可通过改变 JUM1 的跳线设定为 200H——3C0H 或 201H——3C1H。

MCU 与 PC/104 总线间的数据传送采用主/从方式,PC/104 总线系统为主机,MCU 为从机。图 3 中规定的是 R1 和 W1 信号有效时传送的是握手信号;R2 和 W2 信号有效时传送的是数据信号。为了保证主/从方式的数据传

送能顺利实施,图 3 中 MCU 采用中断方式(对应于 PC/104 总线 D3 位的 P02 引脚已编程为中断响应引脚 INT0 并采用边缘触发方式)响应 PC/104 总线系统的数据传送启动,可随时进行任意字节值的双向数据传送。PC/104 总线系统用 C 语言操作接口读、写分别采用 inportb()函数和 outportb()指令,其工作流程框图如图 4 所示。

### 3 结束语

现今市售的 PC/104 总线的接口插板种类有限且价格较高,随着 PC/104 总线系统的大量采用,PC/104 总线的接口插板设计将成为系统成败的瓶颈。本文根据工程实践介绍了一个在工程应用中已成功了的具体的应用实例,这将对 PC/104 总线与其他 MCU 之间的接口设计起到借鉴和抛砖引玉的作用。

### 参考文献

- 程榜芳,黄晓明. IBM 个人计算机接口技术[M].北京:光明日报出版社,1987
- 张国范,顾树生,王明顺. 计算机控制系统[M].北京:冶金工业出版社,2004
- CYGNAL Integrated Products Inc. C8051F060/1/2/3 Mixed-Signal ISP FLASH MCU Family[Z/OL].http://www.xhl.com.cn. [收稿日期:2004.6.19]

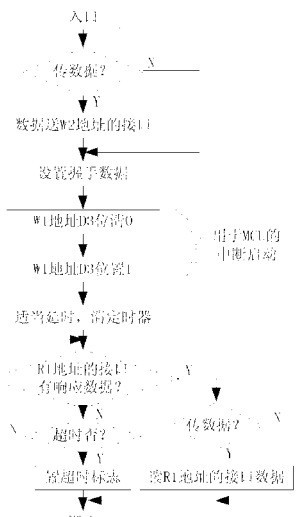


图 4 PC/104 总线系统接口传送控制函数流程图

## 北京聚普贤计算机信息技术有限公司

如同瑞士钟表一样的高性能  
让您意想不到的低价格

原装瑞士进口智能电参数仪表  
CARLO GAVAZZI (佳乐)

- ★ 支持分段计费
- ★ 支持RS-485通信
- ★ 可测量所有电参数

电话:(010)62341751,62327331-867  
联系人:潘先生 夏小姐