

基于 FPGA 的高速图像采集系统的研究与实现

刘虹 黄涛 武汉理工大学信息学院(430070)

Abstract

In the paper,the hardware structure and working principle of a high-speed image sampling system that based on FPGA are described.Its image-sampling frequency is 13.5MHz.This system employs the video A/D chip SAA7111 to convert the video signal to the digital signal,and the digital signal is storied in RAM by FPGA. The design of image sampling and data memory by Verilog HDL are introduced.

Keywords:image sampling,FPGA,Verilog HDL

摘要

介绍了以 FPGA(Field Programmable Gate Array,现场可编程门阵列)为核心芯片的高速图像采集系统的硬件结构和工作原理,图形采集频率可以达到 13.5MHz,该系统还采用了 PHILIPS 公司推出的视频 A/D 芯片 SAA7111,将电视信号转换为数字信号,并由 FPGA 作为控制器将数字信号存入 RAM。讲述了 FPGA 在图像采集与数据存储部分的 Verilog HDL 模块的设计,并给出采集同步模块的 Verilog HDL 源程序。

关键词:图像采集,FPGA,Verilog HDL

传统的各种基于 ISA、PCI 等总线的图像采集卡已经应用非常广泛,但速度慢、处理功能简单,对于特殊要求往往需要加上后续处理部分。因此,我们构建了一种高速图像采集系统。它主要由 FPGA(Field Programmable Gate Array,现场可编程芯片)和视频处理芯片以及 PCI 总线构成。该系统可以根据不同的需要进行现场可编程,具有通用性好、成本低等优点。我们在 FPGA 中利用硬件描述语言 Verilog HDL 编程实现。FPGA 可以在数据采集系统中取代单片机和 DSP 对数据采集过程进行控制。

1 图像采集系统设计

高速图像采集系统主要由视频信号的 A/D 转换,逻辑控制模块,FPGA 控制模块等组成。高速图像采集系统整体框图如图 1 所示。

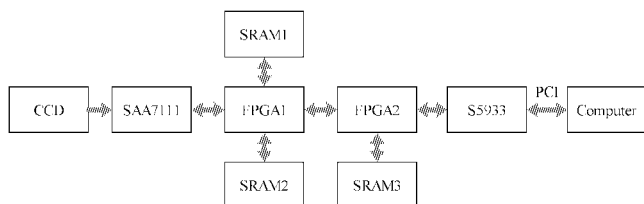


图 1 高速图像采集系统结构框图

1.1 视频信号的 A/D 转换

本文所研究的图形对象是静态的,要求采集 512×512 的灰度图像,可采用 CCD 摄像机进行图像采集。由于 CCD 摄像机输出的模拟视频信号为标准视频信号,即为 PAL 制式的 625 行扫描线,场频是 50Hz,帧频是 25Hz,所以要进行 A/D 转换。

本系统的视频转换模块的功能由 PHILIPS 公司的视频处理芯片 SAA7111 来完成。SAA7111 具有四路视频输入,抗混滤波、梳状滤波都被集成到芯片内部,带来很大方便。它能将来自 CCD 摄像机的标准视频模拟信号转换成数字信号,分为亮度信号 Y 和色差信号 U 和 V 输出。由于本系统采用的是黑白摄像机,因此只需考虑亮度信号 Y,SAA7111 输出的数字信号 Y 是 8 位的,并且在输出图像数字信号的同时还输出各种时钟同步信号,包括点时钟 LLC2,行时钟 HREF 和奇偶场信号 RTS0,根据 CCIR 制订的有关视频信号数字编码的建议,亮度信号的抽样频率是 13.5MHz,也就是说,点时钟的频率是 13.5MHz,每一行可以输出 720 个点图像数据。这样 SAA7111 的图像数据输出频

率是 13.5MHz。

1.2 逻辑控制模块

由于本文所研究的图像相对单一,完全没有必要将一帧的图像 720×625=450k 的数据完全采集进来,因此就遇到一个关键的问题——如何来控制采样密度。这里我们利用了 FPGA 可编程逻辑特性来完成这个功能,它接受来自 SAA7111 的时钟同步信号,并且对信号进行适当的处理,然后输出控制信号给存储器模块(SRAM)的写允许信号,从而可以很灵活地控制存入 SRAM 的图像数据量,并且当 SRAM 存储了一定量数据之后 FPGA 对 SRAM 中的图像数据进行处理。

SAA7111 内部集成了强大的图像色度、亮度处理功能以及多种输出模式;有 32 个工作寄存器,在系统复位时,必须通过 FPGA1 的 IC² 总线模块对其进行初始化。SAA7111 输出的图像数据通过 FPGA 芯片进行采集与处理,采用 ALTERA 公司的 FLEX 10K 系列芯片。FLEX 10K 系列产品有其独特之处,主要表现在高密度、在线配置功能、高速度和连续式布线结构等方面。采集与处理的图像数据在传送到计算机之前,存储在高速异步 SRAM CY7C1049V33 中,其容量为 512K×8bit,速度为 10-15ns。与计算机通常采用 PCI 总线,由 S5933 来实现。S5933 是符合 PCI 规范 2.1 的 32 位接口芯片。

2 SA7111 的初始化及 FPGA 控制模块

系统复位完成 FPGA 程序加载后,先由 FPGA1 的 IC2 总线模块对 SAA7111 初始化,初始化结束后等待采集图像的命令。SA7111 的初始化程序流程图如图 2 所示。

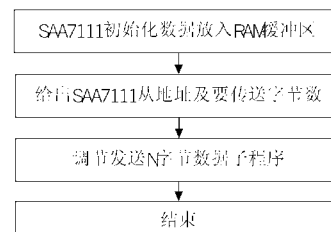


图 2 SAA7111 初始化程序流程图

初始化成功后,SAA7111 实时处理模拟视频信号,输出亮度和色度信号,同时输出点时钟信号,行、场同步信号,行、场参考信号,奇偶场标志信号等。本系统使用灰度图像,没有使用色

度信号,所以数据线为8位。

系统采集图像的命令由计算机发出。采集命令通过PCI总线传输到FPGA1,启动FPGA1的采集同步模块。采集同步模块发出采集标志信号,采集一帧图像,通过写数据模块产生写地址和写信号将数据存储到SRAM1中。采集结束时,采集标志信号撤消,采集同步模块复位,等待下一次采集命令。采集标志信号撤消时,FPGA1开始读取SRAM1中的图像信息,这是通过读数据模块产生读地址和读信号来实现的。FPGA1将1帧图像数据进行噪声去除后,存储到SRAM2中,并发信号给FPGA2。FPGA2通过FPGA1读取SRAM2中数据,经过边缘检测处理后存储到SRAM3中。FPGA2处理完1帧图像数据后,将SRAM3中的图像信息读出传送给S5933,然后通过PCI总线传送到计算机中。

在图像采集过程中,我们使用的是512×512的图像,即一帧图像采集512行,奇数场和偶数场各采集256行,每一行采集512个像素。因此,需要通过行延时模块进行行选择,滤掉无效行,通过像素延时模块进行像素选择,以选择需要的像素。

3 图像采集与存储部分的 Verilog HDL 设计

系统中FPGA的设计是用Verilog HDL编程实现的。整个图像采集部分是一个Verilog HDL语言文件,包括几个module语句。2片FPGA芯片各有不同的程序,其中FPGA1既包括图像采集部分,又包括图像处理与数据存储部分;FPGA2为图像处理与数据存储部分以及PCI接口控制部分。2片FPGA时程序加载采用串行主/从模式。FPGA1采用串行主模式,FPGA2采用串行从模式,由FPGA1从SPROM中读取配置数据,完成自身配置,并完成对FPGA2的配置。图像采集与数据传送部分的Verilog HDL模块主要包括Set_sample.v、Bus_assign.v、Wr.v、Rd.v、Delay.v等,各模块之间通过信号相互联系。下面分别介绍各模块实现的功能。(限于篇幅,仅给出采集同步模块的程序)。

1)Set_sample.v 采集同步模块:它是图像采集部分的一个块语句。输入输出信号为:

输入信号:pcicon0 启动采集图像信号;

vref 场参考信号;

rts0 奇偶场标志信号;

输出信号:sig_frame 采集同步输出信号,高电平有效,用于图像采集和总线管理模块;

sig_field 采集同步场参考信号,采集1帧图像的场参考信号。

源程序如下:

```
module set_sample(pcicon0, vref, rts0, sig_frame, sig_field);
    input  pcicon0, vref, rts0;
    output sig_frame, sig_field;
    reg    sig_frame, sig_field;
    reg    [2:0] flagct;
    process(pcicon0,vref)
    begin
    if(pcicon0==0)
    flagct<=01;
    else
    if(vref==1)
    if(flagct==001&&rts0==1)
    flagct<=010;
    else
    if(flagct=010)
    flagct<=011;
    else
    if(flagct=011)
    flagct<=100;
```

```
end process
process(flagct)
begin
if(flagct==010||flagct==011)
sig_frame<=1;
else
sig_frame<=0;
end process
sig_field<=sig_frame&vref
endmodule
```

当pcicon0引脚再次大于等于场周期(20ms)的低电平信号时,可以确保该模块处于触发状态,在下一个奇数场出现时,(rts0=1),根据SAA7111的场参考信号产生具有两场时宽的采集同步信号(sig_frame)。该信号有效时为图像采集阶段,对SRAM1写入数据;该信号撤消时采集同步模块自动复位,等待下一次采集命令,同时FPGA1开始读取SRAM1中数据进行处理。采集同步信号有效的同时输出采集同步场参考信号,用于采集图像数据。

2)Delay.v 延时模块:包括行延时和像素延时。当采集信号有效时,在每一场产生行延时,滤掉无效行,每一场采集256行;当采集信号有效且行延时结束时,在每一行产生像素延时,去掉不需要的像素,只采集其中的512个像素。

3)Wr.v 写数据模块:在图像采集阶段,收到行延时结束信号和像素延时结束信号时,按照SAA7111的参考信号的输出时序,产生相应的写地址,并根据SRAM的写时序产生写信号,此时与SRAM接口的FPGA的I/O口为输出状态。在图像处理阶段向SRAM写数据时,写地址的产生不考虑行延时和像素延时。

4)Rd.v 读数据模块:在读SRAM时,依据SRAM的读时序,产生读地址和读信号。此时与SRAM接口的FPGA的I/O口为输入状态。

5)Bus_assign.v 总线管理模块:总线管理模块主要负责FPGA与SRAM的地址总线切换、数据总线切换,以及在系统中不同芯片之间建立数据通路等。FPGA中包括写数据地址模块和读数据地址模块,与SRAM地址总线接口时必须进行总线切换:写数据时,写地址线接通SRAM的地址线;读数据时,读地址线接通SRAM的地址线。FPGA与SRAM数据线的接口为双向口,在写数据时是输出口,读数据时是输入口,需要设置三态控制。在系统中其它芯片之间也有这种情况。

4 结束语

高速图像采集系统中采用FPGA作为采集控制部分,可以提高系统处理的速度及系统的灵活性和适应性。具体表现为:

1)系统性能得到大大提高:由于FPGA专门负责采集控制部分的实现,因而大大提高系统的性能。

2)系统的适应性及灵活性:由于采用FPGA可编程逻辑器件作为系统采集控制单元,对于不同的视频图像信号,只要在FPGA内对控制逻辑稍作修改,便可实现信号采集。

3)设计结构简单,调试方便:FPGA的外围硬件电路简单,因而在硬件设计中,可以大大地减小硬件设计的复杂程度。而FPGA的时序逻辑调试可在软件上仿真实现,因而大大降低硬件调试难度。

参考文献

- 1 张亮.数字电路设计与Verilog HDL[M].人民邮电出版社,2000
- 2 <http://www-ee.eng.hawaii.edu/~msmith/ASICs/HTML/Book/>
- 3 刘笃仁,杨万海.系统可编程技术及其器件原理与应用[M].西安:西安电子科技大学出版社,2000

[收稿日期:2004.3.2]