

一种基于 FIFO 的多用途接口设计

包志强 李明 蔡建隆 吴顺君 西安电子科技大学雷达信号处理国家重点实验室(710071)

Abstract

This paper introduces a high-speed bidirectional synchronous FIFO of Cypress Semiconductor Corporation, and proposes a method of using FIFO to realize the communication between all-purpose signal processing blocks. The detailed circuit block diagrams are given and the operation principles are also narrated. Finally, another circuit design of the connection between FIFO and ADC to complete the function of data gathering is provided.

Keywords: FIFO, DSP, CPCI, ADC, signal processing

摘要

介绍了 Cypress 公司的一种高速双向同步 FIFO 芯片,提出了一种应用 FIFO 实现通用信号处理模块之间的通讯电路的设计方法,并给出了详细的电路设计图及其工作原理。在文章最后还介绍了一种 FIFO 与 ADC 连接完成数据采集功能的设计方法。这些方法已经应用于实际的工程设计中,取得了较好的效果。

关键词: FIFO, DSP, CPCI, ADC, 信号处理

基于标准总线的通用信号处理模块具有强大扩展能力和可重构性,因而其设计和应用已成为当前信号处理领域的一种主流趋势。CPCI (Compact PCI) 规范是由 PICMG (PCI Industrial Computer Manufacturer's Group) 制定的,是针对 PCI 规范 (Peripheral Component Interconnect) 的改写, CPCI 使用标准的机械元件和高性能的连接技术,用于工业和嵌入式应用。在电气特性方面,它与 PCI 标准完全兼容,并且适合于更为严格的环境。

虽然 CPCI 总线工作在 33MHz、32 位数据传输时,其最大突发传输速率能达到 132MB/S^[1],但是由于一个通用信号处理模块往往集成多片 DSP 芯片,而当多片 DSP 通过总线进行数据交换时,必须经过仲裁,这样使得传输速率大大折扣;总线的竞争、相互之间的等待产生数据传输瓶颈问题。FIFO 芯片是一种具有存储功能的高速逻辑芯片,在高速数字系统中经常用作数据缓存,尤其在多 DSP 通信中获得广泛应用。根据以上的缺点及限制,我们提出应用 FIFO 建立自定义的高速总线,它不仅完成不同处理模块(处理板卡)之间的高速数据传输,而且也可将其与 ADC 模数转换器连接起来完成数据采集的任务,两种功能只需不同的跳线就可实现,简单易行、实用性较强。

1 器件的简介

FIFO (First In First Out) 简单说就是指先进先出。作为一种新型大规模集成电路, FIFO 芯片以其灵活、方便、高效的特性,逐渐在高速数据采集、高速数据处理、高速数据传输以及多机处理系统中得到越来越广泛的应用。

本设计中采用 CYPRESS 公司的 CY7C43662AV 型、3.3 伏高速低功耗的双向同步 FIFO。CY7C43662AV 芯片的容量为 4K×36×2,最高工作速率为 133MHz (最小读写时间为 7.5ns), 36 位数据输入输出,理论上我们可以达到峰值 532MB/S (32 位数据总线) 的传输速度。由于该芯片为双向 FIFO,故有两套控制逻辑, FIFO 的每一端都可以进行读写而且两个端口可以采用不同的时钟。

CY7C43664AV 有两种可选的模式操作: CY 标准模式和 FWFT (First-Word Fall-Through) 模式。在 CY 标准模式下,写入空 FIFO 的第一个字会被放入内存阵列,我们只有通过读操作才能访问该数据。在 FWFT 模式下写入空 FIFO 的第一个字直接放在输出端口上,无需读操作便可获得该数据,但要访问以后写入的数据则必须使用读操作。

每一个 FIFO 有复用的 EFA/ORA, EFB/ORB (FIFO 空/输出准备好) 标志和复用的 FFA/IRA, FFB/IRB (FIFO 满/输入准备好) 标志,其中空满标志在 CY 模式下使用, IR 和 OR 标志在 FWFT 模式下选用, IR 表示 FIFO 中是否有存储空间, OR 表示是否可以获得数据,它标志着存在有效的数据输出。每一个 FIFO 还拥有可编程的几乎空满标志 (\overline{AEA} , \overline{AEB} , \overline{AFA} 和 \overline{AFB}), \overline{AEA} 和 \overline{AEB} 表明 FIFO 处于几乎为空的状态, \overline{AFA} 和 \overline{AFB} 表示处于几乎为满的状态,余量门限可由用户编程实现(通过设置 FS0, FS1 的值来确定)。

2 电路设计

2.1 基于 CPCI 总线的通用信号处理模块

图 1 是基于 CPCI 总线的多 DSP 通用信号处理模块的原理图,系统中各个 DSP 共享数据地址总线且相互间通过链路口通讯,构成紧耦合系统,主机接口通过 PCI9054 桥接芯片与 PC 机通讯,此外,局部总线端还可以进行扩展, DSP 加入 EEPROM 可以进行程序自动加载,加入 SDRAM 可以扩展片外存储器的容量,来支持海量数据的图像处理,雷达声纳信号处理等。采用 FIFO 自定义总线可以缓解共享总线的数据传输压力,同时又可以同 ADC 模数转换器连接完成数据采集的功能。

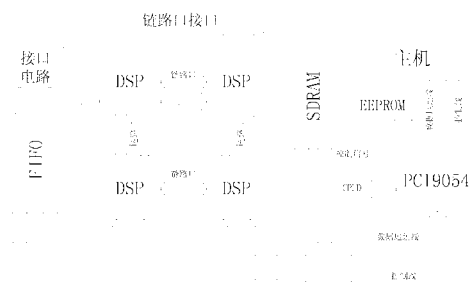


图 1 基于 CPCI 总线的通用信号处理模块

2.2 FIFO 与 DSP 接口电路的实现

在图 1 的通用信号处理模块中使用的 DSP 为 AD 公司的 Tiger SHARC 型,此芯片是 AD 公司于 2002 年推出的高速信号处理芯片,该芯片主频为 250MHz,6M 位的内存,采用静态超标量技术,每个时钟周期可以执行 4 个 32 位的指令,是当前比较先进的高速 DSP 芯片之一。图 2 所示为 DSP 芯片与 FIFO 的接口电路。

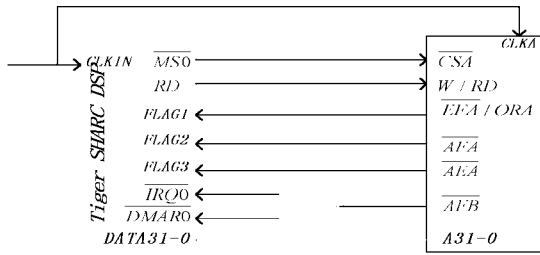


图 2 DSP 与 FIFO 的接口电路

图中 MS0 作为 DSP 读写 FIFO 的选通信号 CAS，在低有效时表示一次读写的开始。RD 与 FIFO 的读写信号连接，在低有效时表示 DSP 读 FIFO，反之表示写 FIFO。接下来的三个 FIFO 标志信号 EFA/ORA、AFA 和 AEA 分别与 DSP 的三个 FLAG 信号线相连，其中与 FLAG1 相连的信号是 FIFO 工作在 FWFT 模式的输出准备好信号（表明 FIFO 中有数据准备好输出），它和与 FLAG3 相连的几乎为空的信号（表明 FIFO 中的缓冲区几乎没有数据了，读者可根据需要来设置此偏移量）共同作为 DSP 读 FIFO 时的状态标志。与 FLAG2 对应的几乎为满的信号 AFA 作为 DSP 写 FIFO 的握手信号，如果 AFA 有效表明 DSP 向 FIFO 几乎已经写满数据，此时 DSP 应停止向 FIFO 传输数据。FIFO 的另外一个标志 AFB 也是用作 DSP 读 FIFO 的握手信号，当其有效时表明 FIFO 中的数据几乎已经写满，此时必须向 DSP 申请总线来读取 FIFO 中的数据，这里我们可以选择中断或者 DMA 方式来进行数据交换。

2.3 FIFO 之间接口电路的设计

FIFO 之间的接口设计通过逻辑门电路来实现，并且把接口设计成通用模式，只要通过数据线和控制线连接就可以方便地实现通用信号处理模块之间双向高速数据的传输。图 3 为该接口电路图。

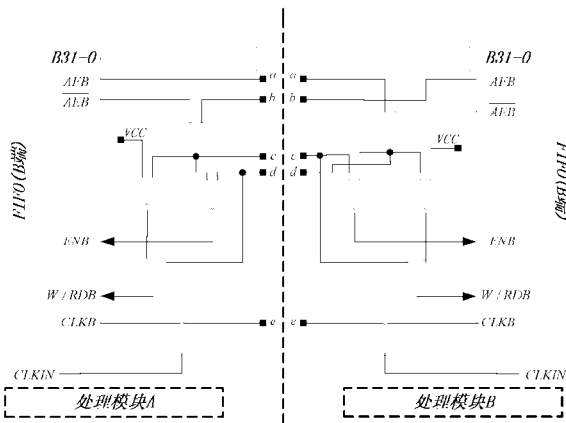


图 3 FIFO 之间通讯的接口电路

图中信号线 AFB 有效时表明 B 端输入缓冲区几乎已经写满，AEB 有效时表示 B 端输出缓冲区无数据输出。ENB 为 FIFO 的读写使能信号，W/RDB 为 B 端的读写信号，CLKB 为 B 端独立的时钟输入信号。

该电路可以实现 FIFO 之间自动的双向数据传输，连接时局部的时钟采用任意一方提供的局部时钟输入；并且两边的读写信号线应连接不同的位置，即一方和与非门的输出连接，另一方与 c 端输入连接；和与非门输出相连的 FIFO 享有向外输出数据的优先权，这是因为当双方都有数据向外输出（AEB=1），而且对方的输入缓冲不为满时（AFB=1），两个信号经过与非门后输出为 0，在和 VCC 高电平信号经与非门后输出为 1，因此和与非门输

出相接的读写信号为 1，对应为读信号，优先输出数据；另一端与 c 端连接的读写信号为 0，对应为写信号，则首先接收数据。如果在两个 FIFO 输出数据不发生冲突时，只要其中一方有数据输出（AEB=1），且另一方的输入缓冲不为满时（AFB=1）就可以自动地完成数据传输。

2.4 FIFO 与 ADC 转换器的接口设计

在通用信号处理模块中使用高速双向同步 FIFO，不但可以完成模块之间的高速数据传输，而且可以通过简单的跳线转换成与模数转换器之间的连接，从而使通用信号处理模块具有很强的扩展功能，满足实际应用中从外部直接采集数据的需求，缓解了标准总线的传输压力。这里我们采用的芯片是 AD 公司的 AD9245，单电源 3v 供电，14 位 80MSPS 模数转换器^[2]。转换器带有输出错误纠正逻辑，使用多级差分流水结构；单一的时钟输入就可以完成转换，溢出引脚 OTR 表明信号超出转换范围。此芯片适用于通信、图像及医学超声波探测等领域。FIFO 与 ADC 芯片的接口电路如图 4 所示。

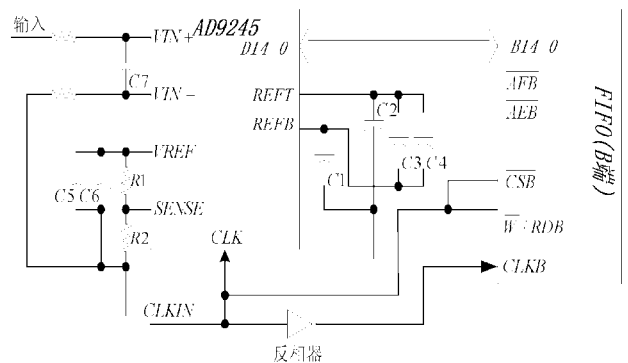


图 4 FIFO 与 ADC 转换器的接口电路

由于 FIFO 是同步的，它在时钟的上升沿进行数据的读写，与 ADC 转换器采样时序相同。因此接口电路的设计非常简单，只需要把两个芯片的时钟输入做成反相，并将同一时钟作为 FIFO 读写和选通信号的输入。AD9245 的工作时序如图 5 所示。图中 t_a 表示孔径延迟时间（时钟的 50% 上升沿到模拟数据被采样的时间）， t_{pd} 表示有效输出数据延迟时间（时钟的上升沿到所有数字位输出有效的的时间）。

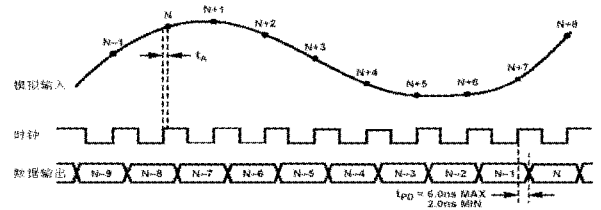


图 5 AD9245 的工作时序图

3 结束语

实际应用表明，在通用处理模块之间进行通讯时，双方不需要进行直接地联系，并且设计采用较少的控制线，所以系统的硬件和软件设计存在较大的灵活性，不失为一种较好的多用途的接口方法。

参考文献

- 1 CompactPCI Specification. PICMG. Revision 2.0, September 24,1999
- 2 AD9245 Data Sheet. Analog Devices, Inc. Rev.B,2003

[收稿日期:2003.11.28]