

一种低成本的高速数据采集系统的设计

高育鹏

空军工程大学导弹学院(713800)

姚倡锋

彭文利

西北工业大学现代设计与集成制造

教育部重点实验室

(710072)

Abstract

In this paper,analyzing and designing about high-performance data acquisition and low cost system proceed.The data acquisition system is based on the micro-controller.By means of the optimized software and hardware,this system possesses the max ratio between capability and cost.

Keywords:data acquisition,A/D converter,Microcontroller

摘要

本文探讨了一种高速低成本的数据采集系统的详细分析和设计过程,整个数据采集系统以微控制器为核心部件,依靠优化的软硬件设计,使系统整体具有优异的性价比。

关键词:数据采集,A/D转换,微控制器

数据采集技术是以前端的模拟信号处理、数字信号处理和计算机技术等高科技为基础而形成的一门综合技术,它是联系模拟世界和数字世界的桥梁,在许多领域得到了广泛的应用。本文讨论了一种在保持较低的系统复杂性和成本的前提下实现高速多通道数据采集系统的实现方法。

1 系统说明

该系统的核心部分包括:一个ADC处理传感器输入转换、一个微控制器处理数据。系统的基本结构如图1所示。

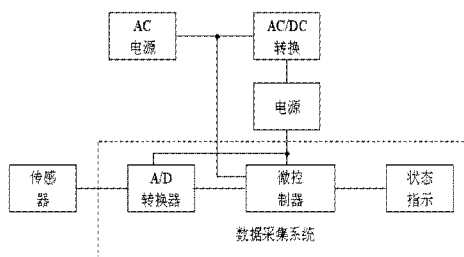


图1 系统基本组成框图

按照性能和成本的比较逐一确定该基本系统的构成,它必须是16位以上,能处理2.5V的差分输入,而且在没有单5V DC电源的情况下也能工作,成本应尽可能降低。为此在不增加最终材料成本的基础上,应把决策功能集成进传感器电路中。通过对测量值和预定范围内的值进行比较,并标识出超出范围的状态。系统在模拟前端有一个传感器接口。输出可以是一个简单的状态指示或者是串行数据,电源可由AC电源转换而得到。

2 系统设计

2.1 A/D转换器的选择、设计

从数字的角度看,要实现高速多通道数据采集几乎排除了使用低成本8位微控制器的可能性。因为高速多通道数据采集系统需要更高的处理能力,如采用高性能微控制器系列或DSP器件,而同时为了满足所需的数据传输量,可能还需要采用可编程逻辑器件作为A/D和处理器之间的逻辑连接。但是采用可编程逻辑、高性能微处理器和DSP器件将会极大的增加系统的成本。在典型的数据采集系统中最常用的A/D转换器结构是逐次逼近寄存器(SAR)和 $\delta-\Sigma$ A/D。SAR结构可容易地满足采样速率的要求,但在分辨率上存在局限性。目前SAR技术仅限于16位分辨率。为了获得20位分辨率就需要扩充外部电路,这将会

增加系统的复杂性。与此相反, $\delta-\Sigma$ 结构可容易地满足分辨率的要求,可采样速率一直是个缺陷。但是,近期的技术进步已经可能在25kHz、20位的分辨率下运用该结构。 $\Delta-\Sigma$ ADC还可提供很多传感器应用所需的高分辨率和良好线性度。有效分辨率可以直接从转换器的输出数据测出,以位数的均方根值表示。为达到最佳分辨率,器件应该以最高器件频率和最低数据输出率工作。器件频率和加速模式速率控制着调制器采样频率,抽样率可控制数据输出率。如果转换器工作在2.5MHz,加速模式为16,数据输出率为100Hz,则有效分辨率约为22有效位,转换成无波动位值约为19.3位。如果器件频率降到1MHz,加速模式为16,数据输出率为100Hz,则分辨率下降到21有效位,无波动位值约为18.3位。事实上,在低频率下工作会更好一些,这样可以降低系统功耗和开关噪声。具有了这种灵活性,就可以确定能满足系统要求的器件频率。同时,为了提高或降低有效分辨率,还可以通过软件在数据输出率和加速模式速率间进行折衷。综上所述关于A/D转换器可采用Burr-Brown的24位 $\Delta-\Sigma$ 转换器ADS1212或美国TI公司的TLC2543。

2.2 其它器件的选择、设计

要以20kHz采样速率处理8通道20位的数据相当于3.2Mbps的传输速率。在许多微控制器中普遍采用的方法是通过高速串行外围接口来实现的。但是由于A/D数据来自于8路独立的通道。为此需要通过时间复用来交错接收数据,这样将要求我们必须能够有效控制数据流进入串行接口。也就意味着必须增加外部复用器,这必然增加系统的复杂性,为了保持较低的系统复杂性,我们排除了使用DSP、高性能微控制器、可编程逻辑器件和硬件串行接口。余下的就只有8位微控制器和直接端口控制或位脉冲(bit banging)来实现从A/D到微控制器的数据转换。

限制端口控制的数据吞吐量的两个关键因素是微控制器核心和其运行速度。这两个参数直接影响MIPS性能。因此我们需要的微控制器核心必须首先能有效执行指令,其次可高速运行。许多8位微控制器核心都运行在很低MIPS,只有少数可在10MIPS左右运行。可是,这样仍然不足以处理我们的任务。我们需要能运行在50MIPS左右或更高的微控制器核心。而Microchip Technology的微控制器PIC16C54C则可以实现这一功能,其RISC 8位核心可在高达100MIPS运行,可提供我们

所需的大大减小系统复杂性的性能。同时其系统核心还具有一些外围特性,有助于我们进一步减小系统的复杂性。此外还有一些其他的微控制器功能可进一步减小系统的复杂性。首先是外部中断能力。当 A/D 转换器将 DRDY 信号变低,表示可进行新的数据转换后,微控制器的中断能力就可利用这一信号来启动数据转换。另一个重要的特点是板上的脉宽调制(PWM)。PWM 可用来产生用于 A/D 转换器的系统时钟。而 PWM 频率和占空比可编程,因此只需通过改变寄存器的值就可在 DC 到 25kHz(器件的最大采样速率)间调节 A/D 转换器的采样速率。其次,应设定 PWM 以产生 A/D 的系统时钟。在这一应用实例中,我们将采用 50% 的占空比,其具体电路如图 2 所示。

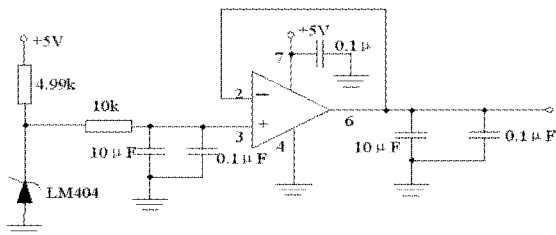


图 2 产生系统时钟的 PWM 输出

PWM 的寄存器将设定为 3 个周期来清除和放置寄存器值。即在 PWM 周期的起始段,输出被拉为高电平,3 个 PWM 周期后,输出转为低电平。在 PWM 周期的结束段,输出又被拉高。波形如图 3 所示。

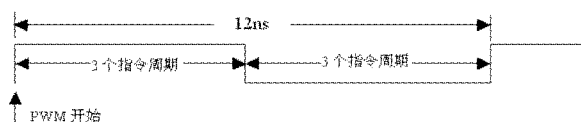


图 3 PWM 输出波形图

2.3 系统工作原理

首先,A/D 转换器的工作相对直观。系统时钟控制着 A/D 转换器的数据采样速率。一旦转换完成,DRDY(数据准备好)信号线转为低电平,表示可处理新的数据。SCLK(串行时钟)控制 DOUT(数据输出)信号线上的数据转换,并由 CS(片选)信号控制。A/D 还有一些其他的功能,包括 DSYNC(数据同步),可用来同步多个转换器。此外,信号增益也可用来控制 A/D 转换器板上的内部可编程增益放大器。这些特点可排除对外部增益和控制电路的需要。于是,实际上感兴趣的模拟信号只需要一个简单的用于信号源与 A/D 输入间的 RC 缓存。从所有 8 个通道读取 1 位只需一个指令周期。剩余的时间用来将位数据转换为通道数据。一旦数据进入 RAM,片选变高,就退出中断服务。微控制器可利用剩余的时间进行数据的线性化和量化。当微控制器工作在其额定速度 100MHz 时,PWM 的分辨率可使 PWM 工作在 8.333MHz。实际上可使 PWM 工作在 50MHz,但这比较适合于 A/D 具体的时钟频率 9.6MHz。8.333MHz 的 PWM 频率可使 A/D 的采样速率达 22kHz,转换时间约为 46μs。对微控制器来讲,46μs 相当于 100MHz 转换时的 4600 个指令周期。如果期望的只是数据平衡,就可以大幅度减小微控制器的时钟频率,仍然拥有实现这一目的足够的吞吐量。数据平衡和数据转换可在低于一半的转换时间内完成。上电后,DSYNC 为低电平,A/D 转换器处于保持状态。当 DSYNC 变高后,它从保持状态释放并开始进行转换。转换完成后,DRDY 线变低,产生一个中断信号给微控制器。微控制器转向中断服务程序,片选信号变低,然后将数据传入。A/D 转换器首先转换高位(MSB)。由于 A/D 转换器所有的 DOUT 来自一个端口,数据是从高位到低逐位转换的。

表 1 A/D 转换器转换数据及校正所需的指令周期数

功 能	所需的周期数
数据传输(8 通道)	1310
偏移校正(8 通道)	210
增益校正(8 通道)	2250
总 计	3770

按上表列出了从 A/D 转换器转换数据以及对所有的 8 个通道的 20 位数据进行偏移和增益校正所需的指令周期数。可以看出完成这些任务需要近 3,800 条指令周期。这无疑意味着我们可以 22kHz 的速率处理 8 通道 20 位 A/D 数据。我们一共利用了约 86% 的 A/D 转换器性能和 84% 的微控制器性能。总的来说,我们利用高性能的模拟和数字技术实现了一个多通道、高分辨率和高采样速率的数据采集系统。通过高水平的集成保持了较低的系统复杂性。

2.4 其它部件的选择

对 2.5V 的差分输入信号,要求 4 阶增益,因此须用到板上可编程增益放大器(PGA)。应当注意加速模式速率和 PGA 的乘积不得超过 16。在这种场合下,将 PGA 限定为 4,加速模式速率也限定为 4。ADS1212 中的数字滤波器是一个低通滤波器,其 -3dB 截止频率等于 0.262×数据速率。因为输入信号是 DC 信号,所以信号的频率响应下降不是问题。可以在输入端加一个反偏(anti-aliasing)低通滤波器以隔离 ADC 和缓冲器。转换器的输入阻抗决定于 PGA、加速模式数和器件频率,可参考文献^[1]。器件内部参考可提供约 20 有效位,所以内部参考电压可以满足系统的要求(图 4)。

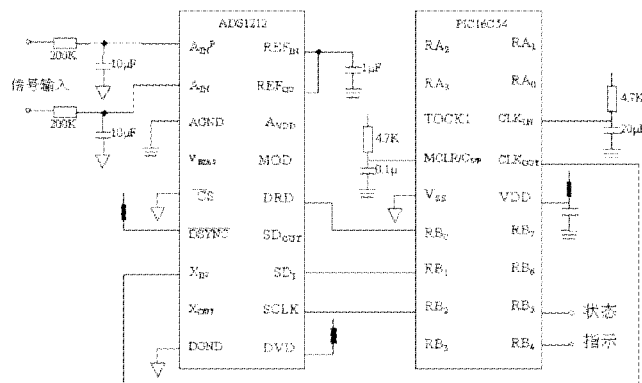


图 4 系统接口包括三根线:SD10、SCLK 和 _DRDY

微控制器的时钟也可驱动 ADS1212 时钟。ADS1212 有一个前端、低通、反偏滤波器来缓冲 ADC 转换器的输入。状态指示可以是离散或串行的数据。器件运行时功耗很小,通常工作电流小于 2mA。为进一步降低功耗,微控制器和 ADC 都带有休眠模式(sleep mode)。在极低功耗的应用中,转换器甚至可通过微控制器的 I/O 引脚供电。比如,微控制器可以停止给转换器供电并进入休眠状态。因此唯一的电流就是微控制器的待机(standby)电流,从而降低了功耗且延长了电池寿命。

微控制器所需的时钟可以从一个简单的 RC 电路获取。这个时钟在 CLKOUT 引脚输出,可以用来驱动转换器的 XIN。这样不仅节省了两个单独的晶振,而且保证了微控制器与时钟同步。但有一点需特别注意,如果用简单的 RC 电路来做系统时钟,那么其频率将随电压和温度的改变而变化。这可以不考虑,

(下转第 50 页)

(上接第 35 页)

除非需要滤除工频干扰,况且也可以用 ADS1212 的关键特性之一加以解决。转换器中的数字滤波器可根据 $\Delta-\Sigma$ 调制器的最近结果来计算输出值。所用的调制器结果数取决于指令寄存器中抽样率的设置。最简单的理解可以认为数字滤波器将调制器结果取平均值并将其作为数字输出。抽样率决定了所用的调制器结果数,加速模式率越高,调制器运行得就越快。这些与转换器时钟频率一起决定了输出数据率。而且,因为转换结果只是一个平均值,所以数据速率决定了数字滤波器中结果凹陷(notch)位置所在。如果输出数据速率为 60Hz,那么 60Hz 的输入频率在一个 16.7ms 转换周期当中的平均值将为零。

3 结束语

目前,该系统已经达到了预定的设计指标,系统成本相比于

同等性能的高速数据采集系统大大降低,并且还留有一定的扩充余量,如提高采样率,增加通道数等。整个数据采集过程迅速平稳。因此从评估和权衡其成本/效益角度考虑,该方案确实是一种经济实用的数据采集系统。

参考文献

- 1 雷淑英,尹绍宏,王秀清.单片机控制的数据采集系统.天津轻工业学院学报,2001(3)
- 2 何培忠.单片机控制的高速数据采集系统.数据采集与处理,1999(4)
- 3 张镭,张玉.单片机控制的较高精度的高速数据采集和处理系统.微处理机,1995(4)

[收稿日期:2003.11.6]