

基于 PCI 总线的高速实时数据采集系统的设计

陈庚锋 吴顺君 王翠平 西安电子科技大学雷达信号处理国家重点实验室(710071)

Abstract

In this paper,we describe the design and implementation of high-speed real time data acquisition system based on PCI bus.We deal with the design of storage and transmission of data acquisition system.

Keywords:PCI Bus,CPCI Bus,High Speed Real Time Data Acquisition System,FIFO,CPLD

摘要

本文介绍了一种基于 PCI 总线的高速实时数据采集系统的设计与实现,主要讨论了高速数据采集的存储与传输的硬件解决方案以及该系统的控制逻辑的实现。

关键词:PCI 总线,CPCI 总线,高速实时数据采集,FIFO,CPLD

目前大多数雷达信号处理机都是采用自定义总线,不具有通用性,每改变一些系统功能就需要大量的硬件改动。为了使雷达信号处理机具有较好的通用性,必须设计采用标准总线的通用雷达信号处理机。现在通用的工业级总线有 VME 总线和 CPCI(Compact PCI)总线。VME 总线作为标准的工业总线早就得到了业界的认可;而 CPCI 总线作为一种新兴的工业总线,采用了 PCI 总线的电气特性以及 VME 总线的物理特性,兼具了二者的优点,正在不断的推广应用。由于 PCI 总线接口比较容易实现,因此我们采用了基于 CPCI 总线的工控机来实现雷达信号处理。

作为雷达信号处理的前端,数据采集板是通用雷达信号处理机的不可缺少的一部分。本文就是笔者根据某通用雷达信号处理机的要求而设计的,实践表明,该系统可以有效地解决数据的实时传输和存储问题,为信号的实时处理提供方便。

1 数据采集系统的结构和性能

在某通用雷达信号处理机中,我们需要对雷达输入信号的 I 和 Q 两个通道的信号进行中频采样,采样精度为 12 位,最高采样频率为 20M,数据采集卡采集到的数据要通过 PCI 总线实时的传输给数字信号处理板。每路数字信号字长采用 16 位,两路合并为 32 位数据通过 PCI 总线进行传输。

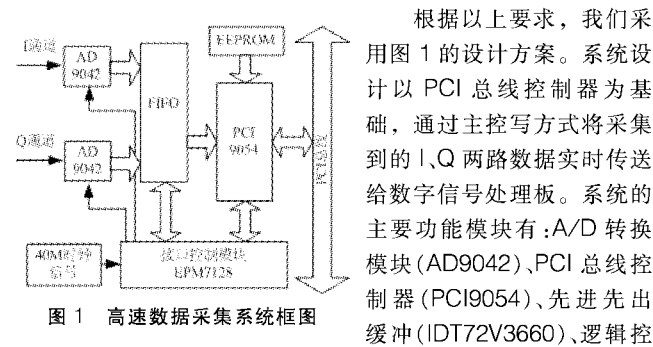


图 1 高速数据采集系统框图

控制芯片 CPLD(EPM7128)。

2 数据采集系统主要功能模块的实现

2.1 A/D 转换模块

A/D 转换采用美国 AD 公司生产的一种高速度、高性能、低功耗的 12 位模数转换芯片 AD9042,它的片内带有跟踪/保持放大器和基准电源,只需单+5V 电源即能工作,并能以 41MHz 的速率提供与 CMOS 兼容的逻辑数据输出。它的最大采样速率可以达到 41MHz,对输入信号,在整个 Nyquist 频带上典型不

失真动态范围为 80dB。

雷达 I、Q 两路输入信号进入高速 A/D 转换芯片 AD9042 进行模数转换。由于 AD9042 只能转换一路信号,所以需要两片 AD9042 同时工作。AD9042 正常工作时,在编码输入引脚 ENCODE 的上升沿触发 A/D 转换以及数据输出,由于系统需要连续不断的进行 A/D 转换,所以在 ENCODE 端采用 20MHz 的时钟输入信号以连续不断的触发 A/D 转换以及数据传输。数据采集系统正常工作以后,AD9042 就会在每个 ENCODE 时钟信号的上升沿输出一个采样数据。

电路设计时,AD9042 的模拟+5V 电源与数字+5V 电源应该分开,AVcc 的变化不应该超过 5%,同时在 AD9042 数据输出端口串接 499Ω 的电阻再与 FIFO 相连接,FIFO 必须为 CMOS 逻辑兼容器件。

2.2 PCI 总线控制器的实现

PCI 总线特征和总线定义的逻辑非常复杂,如果用可编程器件来实现 PCI 总线规范,开发周期长,并且接口的兼容性不好。因此,我们采用 PLX 公司生产的专用 PCI 接口芯片 PCI9054 来完成 PCI 接口的逻辑功能实现。

本系统采用 PCI9054 的主模式传送,当 FIFO 的半满标志位(/HF)有效时,启动 PCI9054 的主控写,把数据从 FIFO 由 PCI 总线传送到信号处理板。数据传送时,局部总线控制逻辑(CPLD)应驱动地址总线、数据总线、读写信号线及地址选通信号,控制 PCI 局部总线的数据传输。PCI9054 会直接将数据存入其内部主控写 FIFO,随后 PCI9054 会向 CPCI/PCI 系统申请 PCI 总线控制权,在得到总线控制权后,根据映射地址自行完成本次主控写操作。局部总线控制器只需将数据写入 PCI9054 内部 FIFO,其后的操作不需要 CPLD 的参与。

2.3 先进先出缓冲(FIFO)

由于 PCI9054 内部的 FIFO 只有 32 级深度,实时传送高速数据时,PCI9054 的内部 FIFO 会很快存满,而外界的数据仍会源源不断的传送过来,可能会造成数据的丢失,因此必须要扩展外部 FIFO;同时,A/D 转换芯片 AD9042 的数据输出需要与 CMOS 逻辑的接口器件相连接,因此我们采用 CMOS 器件 IDT72V3660 来扩展系统的 FIFO。

IDT72V3660 是 IDT 公司生产的高速 CMOS 同步 FIFO,它的容量为 4096×36bit,有高达 100MHz 的读取速度。电源电压为 3.3V,可以兼容 3.3V 和 5V 的接口电压。该 FIFO 具有标准的“满”(/FF)、“空”(/EF)标志位,可禁止数据继续写入或读出。同

时,FIFO 还有“半满”标志 (/HF)、“可编程的几乎满”标志(/PAF)以及“可编程的几乎空”标志(/PAE)。系统可以根据这些标志位控制对 FIFO 的读写操作。由于不需要地址译码,因此对 FIFO 的读写操作比较简单。在/WEN 有效时,在 WCLK 的每一个上升沿,FIFO 会把输入数据线上的数据存入内部存储器。同样,在/REN 有效,并且输出允许(/OE 有效)时,在 RCLK 的每一个上升沿,FIFO 会把内部存储器中的数据输出到输出数据线上。

2.4 采集控制芯片(CPLD)

控制逻辑包括数据采集控制逻辑、FIFO 控制逻辑和 PCI 接口控制逻辑三部分。我们采用 Altera 公司的 EPM7128 来实现系统的逻辑控制,并利用 MaxPlusII 软件进行设计、仿真和调试。实验表明,EPM7128 完全可以满足系统的设计要求,大大提高了系统控制电路的集成度。

3 数据采集系统控制和 CPLD 设计

CPLD 对系统的控制包括对 AD9042 的控制、对 FIFO 的控制以及对 PCI9054 的控制。其中,对 PCI9054 的逻辑控制是设计的重点。

对于 AD9042,只需要提供 20MHz 的编码信号 ENCODE,它就会在每一个 ENCODE 信号的上升沿触发 A/D 转换。同时, IDT72V3660 在写允许信号有效时,也是在 WCLK 信号的上升沿把 FIFO 输入数据线上的数据存入 FIFO。因此,可以把 40MHz 的时钟信号二分频,得到的 20MHz 时钟信号直接提供给 AD9042 和 IDT72V3660,启动 AD9042 的模数转换以及进行采样数据的存储。同时注意,由于 AD9042 的采集数据输出需要 3 个时钟延迟,系统刚启动时读取的 3 个数据是无效数据,因此 FIFO 的写允许信号(/WEN)需要在 AD 采样触发时钟有效 3 个周期以后才能有效。这样,AD 采样的数据就会以 20MHz 的频率存入 FIFO,用以后续向信号处理板传输。

PCI9054 局部总线可以工作在 M 模式、J 模式和 C 模式下,M 模式是专门为 Motorola 公司的 MPC850 和 MPC860 提供直接非复用的接口,J 模式是数据和地址复用的模式,而 C 模式是数据和地址非复用的总线模式,电路设计和时序控制比较简单,因此在本系统中 PCI9054 局部总线工作在 C 模式,利用其 FIFO 的主控功能,通过突发传输将数据传送到数据处理板中。

PCI9054 按照工作模式分可以分为主模式、从模式和 DMA 方式,本系统 PCI9054 采用主模式工作方式。该工作模式下,PCI9054 充当 PCI 总线的主动方,而作为局部总线的被动方。

CPLD 充当局部总线的主控方,控制局部总线的数据传输,而 PCI9054 只作为局部总线的被动方。需要传送数据时,只要 PCI9054 没有占用总线(即 LHOLD、LHOLD A 无效),CPLD 只需要使地址选通信号(/ADS)有效,同时送出有效的地址信号,就可以触发一次数据传送。PCI9054 会在地址选通信号(/ADS)的上升沿锁存地址信号。传送时根据突发控制信号(/BLAST、/BTERM)可以选择单字传输、四字突发传输以及连续突发传输模式。如果 Burst 模式位和 Bterm 模式位都使能,PCI9054 就进入连续突发模式。这样,CPLD 在发送出一个地址信号以后,就可以在每一个 LCLK 的下降沿送出一个 32 位数据。如果 PCI9054 没有准备好接收,它应该使它的准备好信号(/READY)无效,通知 CPLD 插入等待周期;同时,如果 CPLD 没有准备好发送,可以使等待信号(/WAIT)有效,来主动插入等待周期。主控发送方 CPLD 如果发送结束,就在发送数据的最后一个字节的同时,使突发传输中止信号(/BTERM)有效,通知 PCI9054 这是突发传输的最后一个字节,从而结束本次突发传

送。传送过程中,如果 PCI9054 希望打断本次突发传输,它也可以使突发传输中止信号(/BTERM)有效,来结束本次突发传输。CPLD 如果要继续传送数据,只能使选通信号(/ADS)有效,同时送出地址信息,重新开始下一次突发传输。

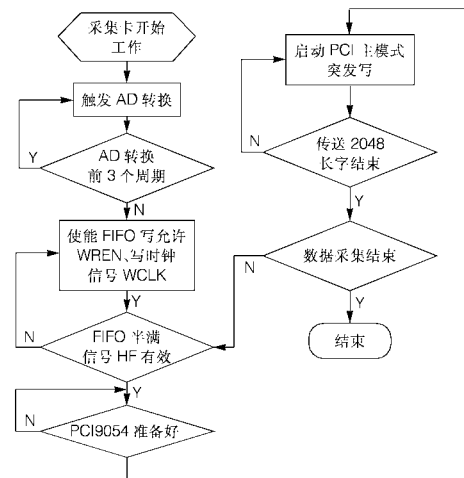


图 2 CPLD 控制逻辑流程图

局部总线上的数据只是进入 PCI9054 的内部主模式写 FIFO,启动其主模式写传输。PCI9054 首先通过总线申请信号线(/REQ)向 PCI 总线仲裁器申请总线,如果总线仲裁器允许,会向 PCI9054 回应一个总线应答信号(/GNT),这样 PCI9054 就控制了 PCI 总线,可以开始主模式的数据传送。

传输控制电路如图 3 所示。系统正常工作时,AD9042 以

20MHz 的频率不断地向 FIFO 输出采样数据。当 FIFO 的半满标志信号(/HF)有效时,CPLD 控制逻辑首先检测 PCI9054 是否准备好。如果准备好,则 CPLD 控制逻辑会向 PCI9054 发出地址选通信号(/ADS)以及传送数据的目的地址。同时在下一个周期,如果检测到 PCI9054

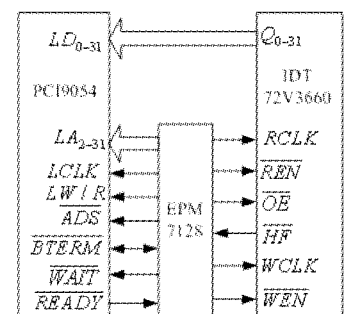


图 3 传输控制电路图

的准备好信号(/READY)有效,则使能 FIFO 的读允许信号(/REN)和输出允许信号(/OE)。FIFO 的读时钟(RCLK)和 PCI9054 的局部总线时钟(LCLK)直接采用外部输入 40MHz 时钟信号。这样,通过 PCI9054 准备好信号(/READY)和等待信号(/WAIT),在 CPLD 的协调控制下,PCI9054 与 FIFO 之间就可以以 40MHz 的频率进行数据突发传送,其具体控制逻辑如图 2 所示。数据首先进入 PCI9054 的内部 32 级的主模式写 FIFO,然后通过 PCI 总线传送到信号处理模块。突发传输以一帧为单位,一帧传送 2048 长字,CPLD 内部设置计数器,如果计数达到 2048 以后,就主动向 PCI9054 发送突发中止信号(/BTERM),以中止本次突发传输。在突发传输过程中,如果 CPLD 检测到突发中止信号(/BTERM)有效,表示 PCI9054 主动中止本次突发传输,则 CPLD 控制逻辑应该使 FIFO 读允许信号(/REN)无效,停止本次突发数据传送。同时,不停地检测 PCI9054 的准备好信号(/READY),如果准备好信号有效,则重新发送地址选通信号(/ADS)和地址信号,继续本一帧数据的突发传送。

(下转第 32 页)

(上接第 21 页)

CPLD 内部应该设置传送计数器,能够准确地计算出被 PCI9054 打断以后继续传输的地址。一帧数据传送结束以后,就重新等待 FIFO 的半满信号(/HF),以启动下一帧的数据传送。这样,AD 采样数据就通过 PCI 总线源源不断地送入信号处理板。

4 结束语

本系统应用于某通用雷达信号处理机中,是该雷达信号处理机的重要组成部分。在前端对数据处理之后,在定时时钟的驱动下,对信号进行实时 A/D 转换,然后,利用 PCI 总线的高速传

送特性,把采集数据送入信号处理模块,进行后续的数字信号处理。工程实践证明,该系统能够可靠地工作,为后续信号处理提供有效的数据。

参考文献

- 1 李贵山,戚德虎.PCI 局部总线开发者指南.西安:西安电子科技大学出版社,1996
- 2 刘书明,刘斌.高性能模数与数模转换设计.西安:西安电子科技大学出版社,2000

[收稿日期:2003.8.19]